

JAPIO

(c) 2007 JPO & JAPIO. All rights reserved.

03301625 **Image available**

REGISTER BANK CIRCUIT

Pub. No.: 02-277125 [JP 2277125 A]

Published: November 13, 1990 (19901113)

Inventor: ITO HIROSHI

FUKUOKA HIROSHI

SHINOHARA MAKOTO

YOSHIDA KAZUYOSHI

Applicant: TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

TOSHIBA MICRO ELECTRON KK [000000] (A Japanese Company or Corporation), JP (Japan)

Application No.: 02-003400 [JP 903400]

Filed: January 12, 1990 (19900112)

International Class: [5] G06F-007/00

JAPIO Class: 45.1 (INFORMATION PROCESSING -- Arithmetic Sequence Units)

JAPIO Keyword: R131 (INFORMATION PROCESSING -- Microcomputers & Microprocessors)

Journal: Section: P, Section No. 1160, Vol. 15, No. 41, Pg. 121, January 31, 1991 (19910131)

ABSTRACT

PURPOSE: To eliminate the need for the selection of the memories repetitively until the bank numbers are switched when the accesses are given to the registers included in a bank by using a bank number decoding signal and selecting all registers equivalent to one bank.

CONSTITUTION: A data bus interface DBI 61 transfers the instructions, the data, etc., between a program memory and a data memory via a data bus DB 69. In this case, the necessary address information is produced by an address generating unit AGEN 62 and supplied via an address bus interface ABI 63 and an address bus AB 68. The instructions read out of the memories are held by an instruction buffer IBUF 64 and then sent successively to an instruction decoder IDEC 65 to be decoded there. A control signal generating unit CONT 66 produces the control signal of each part necessary for the execution of the decoded instructions. A REGISTER BANK block 51 is the assembly of registers turned into banks that is used by a programmer.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-277125

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月13日

G 06 F 7/00

7313-5B G 06 F 7/00

R

審査請求 未請求 請求項の数 2 (全16頁)

⑮ 発明の名称 レジスタバンク回路

⑯ 特 願 平2-3400

⑰ 出 願 平2(1990)1月12日

優先権主張 ⑱ 平1(1989)1月13日 ⑲ 日本(JP) ⑳ 特願 平1-7432

㉑ 発 明 者 伊 藤 洋 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

㉒ 発 明 者 福 岡 浩 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

㉓ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉔ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

㉕ 代 理 人 弁理士 鈴 江 武 彦 外3名
最終頁に続く

明 細 書

1. 発明の名称

レジスタバンク回路

2. 特許請求の範囲

(1) 各行がそれぞれ複数ブロックのレジスタよりなるバンクを構成し、各列がそれぞれ専用のメモリバスにつながるリード、ライト可能なメモリによって構成されたレジスタアレイと、前記メモリ中の1バンク内の全てのレジスタを選択するためのバンク選択手段を有することを特徴とするレジスタバンク回路。

(2) 1つ以上のバンク番号を保持するバンク番号保持手段と、そのバンク番号保持手段の出力により前記メモリ中の一連のデータ群を選択するための前記バンク選択手段と、1つ以上のレジスタ番号を保持するレジスタ番号保持手段と、そのレジスタ番号保持手段の出力により前記一連のデータ群に対し1つ以上のレジスタのデータを選択するレジスタ選択手段とを具備することを特徴とする請求項1に記載のレジスタバンク回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、レジスタバンク回路に関し、特にマイクロプロセッサ部を改良する場合に適用するのである。

(従来の技術)

この種のレジスタバンク回路は、第3図の様にRAM(リード、ライトメモリ)21と、レジスタ番号を保持するレジスタポインタ22と、バンク番号を保持するバンクポインタ23と、そのバンクポインタ、レジスタポインタの出力を受けて、アドレスを生成するアドレス生成回路24を有し、そのアドレスをRAM21に与える事により任意のレジスタをリード、ライトできるようにしたレジスタバンク方式を採っていた。

(発明が解決しようとする課題)

しかしながら上記のものは、次のような欠点があった。

(a) レジスタとしてRAM21を使用するため、

アドレスを与えてから、データバス35上のデータが有効になるまでの時間(アクセスタイム)が長く、このレジスタバンク方式をマイクロプロセッサ等に導入すると、頻繁に発生するレジスタへのリード、ライト毎に、前記アクセス時間が必要となり、マイクロプロセッサ等の実行速度が制限されるため、高速処理を必要とするものには導入し難い。

(b) 又、通常のRAMをレジスタとして使用するため、同時に2つの異なるレジスタのデータをアクセスする事ができない。このため、このレジスタバンク回路をマイクロプロセッサ等に導入すると、2つのレジスタのデータ処理をする時に、2つのレジスタを同時にアクセスできる方式に比べて、2つのレジスタを1つずつアクセスしなければならないため、処理速度が遅くなる。

そこで上記第3図の欠点を改善するため、第4図の様なレジスタバンク方式について考えてみる。

この方式は、それぞれバンクを構成する複数のレジスタラッチ群31と、レジスタ番号を保持す

(例えばB87aとB87b)そして各組は8本のコントロール信号からなっている。又、その8本のコントロール信号は、各々レジスタ番号と1対1に対応して、前記レジスタラッチR0~R7に接続されている。従って、各々の組から独立に、レジスタラッチR0~R7の1つを選択する事が可能となっている。第1の組に選ばれたレジスタラッチはデータバス35-1を通して、第2の組に選ばれたレジスタラッチはデータバス35-2を通して、データのリード、ライトを行うようにする。

このようなレジスタバンク回路を導入したマイクロプロセッサは、高速のレジスタ転送が可能となり、実行速度の向上が計れる。

しかし、上記第3図の方式に比べ、次の問題点を有す。

(a) レジスタラッチによってレジスタを構成するため、第3図のRAMを使用する方式に比べ、回路規模が大きくなるという問題点がある。このため、例えば、第5図の様な回路を集積回路上で実現しようとする、RAMを使用する方式の倍以上

るレジスタポイント32-1、レジスタポイント32-2と、バンク番号を保持するバンクポイント33と、それらレジスタポイント、バンクポイントの出力を受けて、これをデコードするデコード34を有し、そのデコードの出力により、前記複数のレジスタラッチ群31から任意のバンクの中の最大2つのレジスタを選択できるようになっている。またこの複数のレジスタラッチ群31は、各々バンク番号と対応づけられている。ここで、1バンクが8レジスタで8バンク構成のレジスタバンクを例にとることとする。第5図、第6図にその詳細を示す。図のように各レジスタラッチ群31は、レジスタラッチR0~R7の8つのレジスタによって構成されている。又デコード34の出力は、バンクセレクト信号8セット(B87~B90)であり、各セットはバンク番号と1対1に対応して、前記レジスタラッチ群31に接続される。又、各セットは2つあるレジスタポイント32-1、32-2の各々により各レジスタが選択されるようになっている。さらに2組に分かれている。

の面積を必要とし、場合によっては、必要なレジスタ数を確保できない可能性がある。

(b) デコード34が出力するコントロール線(前記バンクセレクト信号及びレジスタ選択信号)の本数が多く、集積回路で使用する場合は、RAMの方式に比べ配線に必要な面積が大きくなったり、取り扱いが複雑になったりする。

(c) バンクの数を増減する際の柔軟性に関しても、増減に伴って、デコード部の再設計が必要となり、この方式ではデコードの規模が大きいため、大きな回路変更となる。これは、集積回路上で実現した場合大きな制約となる。

そこで本発明の目的は、「レジスタ数×バンク数」が多くても小規模で、しかも容易な回路で実現でき、かつ高速なレジスタバンク方式を実現すると共に、レジスタ数やバンク数の増減に対しても柔軟に対応でき、コストパフォーマンスの高いレジスタバンク回路を実現せしめるものである。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、各行がそれぞれ複数ブロックのレジスタよりなるバンクを構成し、各列がそれぞれ専用のメモリバスにつながるリード、ライト可能なメモリによって構成されたレジスタアレイと、1つ以上のバンク番号を保持するバンク番号保持手段と、そのバンク番号保持手段の出力により前記メモリ中の一連のデータ群を選択するためのバンク選択手段と、1つ以上のレジスタ番号を保持するレジスタ番号保持手段と、そのレジスタ番号保持手段の出力により前記一連のデータ群に対し1つ以上のレジスタのデータを選択するレジスタ選択手段とを具備し、リード時には、前記一連のデータ群が1バンク内の全てのレジスタのデータによって構成されていることを特徴とするレジスタバンク回路である。

即ち本発明は、バンク番号のデコード信号のみで、そのバンク番号に対応するバンクの全てのレジスタが選択されるようにメモリを構成する。そして、1バンク分を1括してメモリから選択し、保持することにより、高速の処理が可能となる。

されたときの構造のように面積が大きくなることがなく、小さい面積で比較的多数のレジスタを構成できる。

(実施例)

以下図面を参照して本発明の実施例を説明する。

第1図(A)は、本発明の適用の概略図である。これは、マイクロプロセッサの主要部のブロックダイアグラムであり、各機能ブロックは、次に述べる通りである。

DBI 61はデータバスインターフェースであり、データバスDB 69を介してプログラムメモリやデータメモリとの間で命令やデータなどのやり取りを行う。この時必要なアドレス情報は、アドレス生成ユニットAGEN 62で生成され、アドレスバスインターフェースABI 63とアドレスバスAB 68によって供給される。メモリから読み込まれた命令は、命令バッファIBUF 64に保持され、そして命令デコードIDEC 65に順次送られて解釈される。制御信号発生ユニットCONT 66は、解釈された命

さらに、メモリはレジスタ選択手段としてのマルチプレクサに接続され、リード、ライトをこのマルチプレクサを通して処理されるようにする。又、このマルチプレクサは、レジスタ番号によりコントロールされ、任意のレジスタを選択できるようになっており、必要に応じて複数のマルチプレクサを用意して、複数のレジスタを同時にアクセスする事も可能にしている。しかもまたバンク番号保持手段とレジスタ番号保持手段により、バンク番号とレジスタ番号を一定期間保持している。このため、例えば一つのバンク番号を指定し続けて、一つのバンク内のレジスタ間でデータを処理する際に、番地設定時間の短縮が可能となる。つまり、一度バンク番号を指定するだけで、あとはそれをバンク番号保持手段で保持し、そのバンク番号を指定しつづければ、改めてバンク番号を指定しなす必要がない。これにより、本願レジスタを用いたマイクロプロセッサは処理速度の高速化を実現することができる。

また、レジスタポインタから直接バンクに配線

令の実行に必要な各部の制御信号を発生する。ALU 67は算術論理演算ユニットであり、算術演算や論理演算等の各種演算を処理する。REGISTER BANKブロック81は、プログラムによって使用されるバンク化されたレジスタの集合体である。そのレジスタバンク番号を保持するのがバンクポインタBP 83であり、バンクポインタの内容をデコードしてレジスタバンクの選択信号を出力するのがデコードDEC 84である。選択されているレジスタバンク内の読み出しレジスタ番号を保持しているのが、レジスタポインタ(RP1)85-1R、(RP2)85-2Rである。このレジスタポインタによって指定されたレジスタを選択し、その内容出力するためのセレクトブロックとしてRSEL 86-Rがある。また、選択されているレジスタバンク内の書き込みレジスタ番号を保持しているのがレジスタポインタ(RP3)85-1W、(RP4)85-2Wである。このレジスタポインタによって指定されたレジスタを選択し、そのレジスタに書き込みを行なうためのセレクトブロックとしてWSEL 86-Wが

ある。

これらの機能ブロックは、データバス DBx、DBy により繋がれ、データがやり取りされる。制御信号発生ユニット CONT 部 66 からの出力である IRGx、IRGy、ORGx 及び ORGy は命令によって指定されるレジスタ番号をそれぞれレジスタポイントに転送する信号線である。RP01x、RP02x、RP03x 及び RP04x はレジスタポイント 65 から各セクタ部 66-R、66-W につながれた出力信号線である。BP0x はバンクポイント 63 の出力信号線であり、BSx はレジスタバンク 61 のバンク選択信号である。CBx 及びその反転信号 \overline{CBx} は各レジスタのビットバス信号である。BBx は各レジスタのビットの読みだしデータ信号線である。

この概略図において、“レジスタ R0 の内容とレジスタ R1 の内容を加算しその和をレジスタ R2 (後述の第 1 図(B)参照)に格納する”という命令を実行する場合の例を説明する。

この時バンクポイント 63 は事前に、あるレジスタバンク番号が設定されているものとする。当

クタブロック WBEL 部 66-W の入力となる。そして、レジスタへの書き込み信号が出力されることにより R2 への書き込みが行なわれる。この様に各命令の実行が行なわれていくことになる。

また、レジスタポイント (RP1) 65-1R、(RP2) 65-2R、(RP3) 65-1W 並びに (RP4) 65-2W に対するレジスタ番号の設定は、ALU 67 における演算中などのように、それぞれのレジスタポイントの動作の空きがあるときに随時設定することが可能であり、演算の実行とレジスタポイントの設定は並行して行なえる。したがって、実行中の命令と次の処理を重ね合わせて処理効率の向上を図ることでもある。

更に、第 1 図(B)は本願発明であるレジスタバンク回路の実施例の概略的構成図、第 2 図は同構成を更に具体化した図である。即ちこの構成は、各行がそれぞれ複数ブロックのレジスタよりなるバンクを構成し、各列がそれぞれ専用のメモリバス 62 につながるリード、ライト可能なメモリ 61 と、1 つ以上のバンク番号を保持するバンク番号

保持命令は命令バッファ ISUF 64 より取り出され、命令デコーダ IDEC 部 65 により解釈され、各制御信号が発生される。この時、信号線 IRGx に R0 に対応するレジスタ番号データが、また、信号線 IRGy に R1 に対応するレジスタ番号データが出力され、レジスタポイント RP1 と RP2 に各々設定される。そして、信号線 ORGx には R2 に対応するレジスタ番号データが出力され、レジスタポイント RP3 に設定される。その後、レジスタに対する読みだし信号が出されることにより、セクタ RSEL ブロック 66-R から R0 の内容がデータバス DBx に、R1 の内容がデータバス DBy に出力される。

ここで、本実施例は複数のデータバス DBx、DBy を用いることで、このような処理に際しても 2 つのデータを同時に移動できる。

DBx と DBy 上に出力されたデータは演算ユニット ALU 67 の両方の入力にそれぞれ取り込まれる。制御信号発生ユニット CONT 部 66 より加算の制御信号が出され、ALU 67 にて加算が行なわれる。この加算の和はデータバス DBx に出力されてセレ

保持手段 63 と、そのバンク番号保持手段の出力により前記メモリ中の一連のデータ群を選択するためのバンク選択手段 64 と、1 つ以上のレジスタ番号を保持するレジスタ番号保持手段 65 と、そのレジスタ番号保持手段の出力により前記一連のデータ群に対し 1 つ以上のレジスタのデータを選択するレジスタ選択手段 66 とを具備する。リード時には、前記一連のデータ群が 1 バンク内の全てのレジスタのデータによって構成され、これがメモリバス 62 に出力される。この出力はレジスタ選択手段 66 で選択され、データバス 67 に出力される。

第 2 図では、バンク番号保持手段 63 はバンクポイントで、バンク選択手段 64 は行 (ROW) デコーダで、レジスタ番号保持手段 65 はレジスタポイント 65-1、65-2 で、レジスタ選択手段 66 はマルチプレクサでそれぞれ実現されている。レジスタの 1 ブロック R は 1 ビットレジスタでも、複数ビットレジスタでもかまわない。また本例は、バンク数 8、各バンク内のレジスタ数 8、各レジ

スタ長8ビット、同時にアクセスできるレジスタ数2のレジスタバンク回路となっている。また本例では、リード、ライト可能なメモリ51と、バンク番号を保持するバンクポイント(3ビット)とその出力をデコードするROWデコード(出力8本)を有しており、メモリ51は、ROWデコード54の出力に対応して8つのバンクに分かれている。メモリ51は、横方向に並ぶ1連のレジスタ群(R0~R7)で1バンクを形成している。バンクポイント53に任意のバンク番号(0~7)を設定すると、その出力は行デコード54へ入力され、行デコードはこれをデコードし、設定されたバンク番号に対応する出力信号を1本、有効な状態に運移させる。これにより、メモリの、8バンクの内の1バンクが選択され、その選択されたバンク内の全てのレジスタ(R0~R7)は、それぞれ専用のメモリバス52を通じてマルチプレクサ55へ接続される。この時、選択されていないバンクの各レジスタは電氣的に、メモリバス52から絶縁されている。

55-2により指定されたものが、マルチプレクサ55を介してデータバス57-1、57-2へ出力される。

一方ライト時には、レジスタポイント55-1、55-2で任意数(この例では当然2つ)のレジスタを選び、バンクポイント53で任意(この例では当然1つ)のバンクを指定して、この指定されたバンクの2つのレジスタRにデータを書き込むはよい。

以上の様に、本実施例の回路では、一度レジスタポイントを設定すると、メモリ51中の1バンク分の8つのレジスタが、常時ROWデコード54により選択されており、メモリバスを経由してマルチプレクサと接続されている。従って、バンク内のレジスタのリード、ライトは任意のレジスタ番号をレジスタポイントに設定するのみでよく、2のレジスタポイント55-1、55-2に独立してレジスタ番号を設定する事により、同時に、2つの異なるレジスタをアクセスする事もできる。

本例では、バンク数8、バンク内のレジスタ数

又、本例において、図のマルチプレクサ55はレジスタ番号を保持するレジスタポイント55-1(3ビット)、これとは独立にレジスタ番号を保持するレジスタポイント55-2(3ビット)に接続されており、2つのレジスタポイントの出力に応じてメモリバス52の選択を行なう。レジスタポイント55-1によって選択されたメモリバスは、データバス57-1と、レジスタポイント55-2によって選択されたメモリバス52は、データバス57-2とマルチプレクサを通して接続される。図の様にメモリバス(MB₀~MB₇)は各々レジスタ番号と1対1に対応しており、前記の様に、メモリバスがマルチプレクサ55を通して、データバス(データバス57-1、データバス57-2)と接続されることにより、各レジスタのリード、ライトが行なわれる。

つまりリード時には、バンクポイント53で1行のバンクが選ばれて、そのバンクのレジスタR0~R7までのデータがメモリバス52に出力される。その出力のうち、レジスタポイント55-1、

8、各レジスタ長8ビット、同時にアクセスできるレジスタ数2としたが、これに限定する必要はなく、バンクポイント長、レジスタポイント数、マルチプレクサ等を変える事により任意のレジスタバンク回路を構成する事ができる。

又、更に第1図(A)中のレジスタバンク51が第7図のようなレジスタモデルで構成されている場合を例として、本発明のレジスタバンクの構成例を説明する。

第7図(A)、(B)は、レジスタモデルを示している。各レジスタRは、1データを記憶する最小単位の構成が101であるビット0(b0)からビットn(bn)までのn+1ビットで構成されている。そのレジスタRがR0からRkまでのk+1本で1つのレジスタバンクを構成する。また、そのレジスタバンクがBANK0からBANKmまでのm+1バンクで構成されているレジスタモデルである。例えば4ビットのレジスタモデルであれば各レジスタは4ビットごとに信号が扱われ、さらにその後のセレクト、データバス等も4ビットに対応した

回路構成が適用されるが、本願のレジスタは任意のビット数に対して適用が可能である。これらのビット数を「データ処理単位ビット数」と呼ぶと、第7図の1つのBANKは、データ処理単位ビット数の最小レジスタ101で構成されている。つまり、そのレジスタが8ビット用であれば、ひとつのレジスタは8つの最小レジスタ101で構成されている。このレジスタBが複数個構成されて1バンク(BANK)を形成している。

レジスタバンク内の各レジスタは第8図、第9図の例に示すように、同じレジスタ番号のレジスタを同じ列になるように配置する。

また、第10図の例のように、レジスタ内の各ビット101は、レジスタ番号の同じビットが列方向に重なるように配置される。なお、各ビット列にはプリチャージ回路PBとセンス回路SAが1列に1対配置される。

第11図は、これらのセルCELL、PB並びにSAの詳細回路例である。CB及びその反転信号である \overline{CB} はセル列のビットバスである。BSはセル

線CBが接続され、ゲートが行選択信号線BSに接続された第2 FET 113とからなっている。

又、正電位を供給する回路、プリチャージ回路PRは、正電位電源 V_{dd} と、ビット線対CB、 \overline{CB} と、このビット線CBにその一端が接続され、正電位電源 V_{dd} にその他端が接続された第1 FET 115と、もう一方のビット線 \overline{CB} にその一端が接続され、正電位電源 V_{dd} にその他端が接続された第2 FET 116とからなっている。また第1 FET 115と第2 FET 116のゲートは、プリチャージ信号PRCに接続されている。

そして、ビット線CB、 \overline{CB} の電位を確定させるセンスアンプは、正電位電源 V_{dd} と、ビット線対CB、 \overline{CB} と、ビット線CBに一端が接続された第1 FET 117と、第1 FET 117の他端がその一端に接続され、もう一方のビット線 \overline{CB} にその他端が接続され、ビット線CBにそのゲートが接続された第2 FET 118と、ビット線CBに一端が接続され、第1 FET 117のゲートともう一方のビット線 \overline{CB} にそのゲートが接続された第3

の行選択信号であり、この信号がハイレベルの時にセルが選択されることになる。 \overline{PRC} はプリチャージ回路の制御信号であり、この信号がローレベルの時にビットバスCB、 \overline{CB} をプリチャージしてハイレベルに設定する。SNS及び \overline{SNS} はセンス回路の制御信号であり、SNSがハイレベル \overline{SNS} がローレベルの時にビットバスの状態を、選択されているセルが保持しているデータに確保させる。BSは各ビットの読みだしデータ信号線であり、この信号の状態が読みだしされたデータの1ビットに対応する。また、図中の V_{dd} は電源である。

データを直接電荷として記憶するためのCELLは、ビット線対CB、 \overline{CB} と、その一端がビット線CBに接続されゲートが行選択信号線BSに接続された第1 FET 111と、この第1 FET 111の他端にその一端を接続された第1インバータ113と、この第1 FET 111の他端にその一端を接続された第2インバータ114と、この第1インバータ113の他端と第2インバータ114の他端にその一端を接続され、その他端にもう一方のビット

FET 119と、第3 FET 119の他端にその一端が接続され、もう一方のビット線 \overline{CB} にその他端が接続され、第2 FET 118のゲートにそのゲートが接続された第4 FET 120と、正電位電源 V_{dd} に一端が接続され、第1 FET 117の他端にその他端が接続され、制御信号SNSがゲートに供給された第5 FET 121と、第4 FET 120の一端に接続され、接地電位にその他端が接続され、制御信号SNSがゲートに接続されている第6 FET 122とからなる。

第12図は、第1図のレジスタポイントRP1、RP2、RP3、RP4の詳細回路例である。第1図(A)の例においては、データバスDBxとDByと次の信号線IRGx、IRGy、ORGx、ORGyの内のひとつの3入力となっているため、通常のラッチ回路の入力に3入力マルチプレクサが付加されたものとなっている。この第12図のL38という回路ブロックが必要ビット数だけならべられることになる。つまり、1バンク内のレジスタ本数8本であるならば3ビットとなり、16本であるならば4ビットとなる。第12図中のSEL3は三つの入力のうち

のどれかを選択するかを指定する選択信号である。この信号がハイレベルになったところに対応する入力レジスタポイントへの入力となる。 \overline{LR} はレジスタポイントのレジスタ番号設定信号である。 \overline{LR} がローレベルになると入力のデータを取り込み、ハイレベルになったときそのデータを保持することになる。第12図中の入力信号である $DBx0$ から $DBxn$ が第1図(A)における DBx データバスを意味し、 $DBy0$ から $DByn$ は第1図(A)における DBy データバスを意味しており、 $I/ORQ10$ から $I/ORQ11$ は第1図(A)における信号線 $IRGx$ 、 $IRGy$ 、 $ORGx$ 、 $ORGy$ を意味している。 $RPO0$ から $RPO1$ はレジスタポイントからの出力であり、第1図(A)における信号線 $RPO1x$ 、 $RPO2x$ 、 $RPO3x$ 、 $RPO4x$ を意味している。

第19図にレジスタポイントの更新のタイミング例を示す。この例は $IRGx$ 上のレジスタ番号"01"(16進数)を $RP1$ に取り込み、レジスタ選択信号($RS0$ から RSk)が変化するまでのタイミングを表している。

第13図は、第1図(A)におけるライトセレクト

たレジスタ番号を設定する。この $RP3$ の出力を $RP3DEC$ によりデコードすることにより $RS30x$ 信号がハイレベルとなり、それ以外の選択信号 $RS31x$ 、……は、ローレベルとなる。ここでデータバス DBx 側の書き込み信号 WBx がハイレベルとなると $NAND0$ の出力のみがローレベルとなる。この $NAND0$ の出力につながれている $R0$ に対応した $S0$ ブロックの DBx 側のバッファがアクティブとなり、 DBx 上のデータがそれぞれのビットに対応したビットバス $CB00$ 、 $CB01$ 、……、 $CB0n$ に供給され、それぞれのデータの反転信号がビットバス $\overline{CB00}$ 、 $\overline{CB01}$ 、……、 $\overline{CB0n}$ に供給される。この時、他のレジスタ番号に対応したビットバスは何も影響を受けないことになる。セル部分においてはいずれかのレジスタバンクに対応した1行のセルの選択信号(BS)はハイレベルとなっており、プリチャージ回路 PR とセンス回路 SA は非アクティブとなっている。このような状態で $R0$ の各ビットに対応したビットバス上に DBx のデータが強制的に供給されるので、選択されているセル中の

$WBEL$ と W の詳細回路例である。レジスタポイント $RP3$ 、 $RP4$ の出力の $RPO30$ から $RPO31$ と $RPO40$ から $RPO41$ を入力しデコード $RP3DEC$ および $RP4DEC$ でデコードし、書き込みを行うレジスタに対応した選択信号 $RS30x$ 、 $RS31x$ 、 $RS40y$ 、 $RS41y$ 、……を生成する。第1図(A)の例では DBx と DBy の二つのデータバスからの書き込みデータ経路があるため、それぞれに対応した書き込み信号 WBx 、 WBx があり、レジスタ選択信号と組み合わせられて実際の書き込み信号となる。この書き込み信号はレジスタ単位で共通に接続されており、一つの書き込み信号により一つのレジスタのすべてのビットに書き込みが行われる。また、ライトセレクト $WBEL$ 部の構成要素である $S0$ はデータバス DBx と DBy に接続されており、それらのどちらかを選択するかは書き込み信号により決定される。

ここで、データバス DBx 上のデータをレジスタ $R0$ に書き込む場合を例にとると、次のような動作となる。レジスタポイント $RP3$ に $R0$ に対応し

$R0$ に対応したビットのセルはビットバス上のデータを書き込まれてしまうことになる。それ以外のセルにおいてはビットバスの状態が変わらないため、何も変化は起こらない。書き込みに必要な時間が経過すると、 WBx 信号はローレベルとなり、いままで DBx 上のデータをビットバスに供給していた $WBEL$ の $R0$ に対応した $S0$ は非アクティブとなる。 $R0$ に対応したビットバスは書き込まれたデータを保持し、あたかも読み出しが行われたのと同じ状態になる。

このようにして、レジスタへの書き込みが行われる。したがって、既成のRAMを用いた場合のように書き込みアドレスに対応したデコードの設定やビットバスのプリチャージ動作等は一切不要であり、さらに書き込み動作後の再読み出し要求に対しても何も動作を必要としないで済むことになる。

第21図に $R0$ に DBx 上のデータ"55"(16進数)と、 $R1$ に DBy 上のデータ"AA"(16進数)を同時に書き込むときのタイミング例を示す。

第14図は第1図(A)におけるリードセレクト RSEL 56-B の詳細回路例である。レジスタポイント RP0、RP1 の出力の RPO10 から RPO11 と RPO21 を入力としたデコード RP1DEC と RP2DEC により、レジスタ選択信号 RS10x、RS11x、RS20x、RS21x、……が生成される。第1図(A)の例ではデータバス DBx と DBy の二つの読みだしデータ経路があるため、それぞれに対応した DBx 側への読みだし信号 RDx と DBy 側への読みだし信号 RDy とが組み合わされて、選択レジスタの実際の読みだし信号となる。この読みだし信号はレジスタ単位で共通に接続されており、一つの読みだし信号により一つのレジスタのすべてのビットの読みだしが行われる。また、リードセレクト RSEL 部の構成要素である S I は各レジスタの読みだしデータ信号線 BB00、BB01、……を入力として DBx データバスと DBy データバスへ選択出力を行うようになっている。読みだし動作といっても、あるレジスタのすべてのビットのデータが読み出されており、S I の入力としてすでに供給され続けている。し

個の NAND-NOT 回路で構成される。

第16図は、バンクポイント BP の詳細回路例である。第1図(A)の例においては、バンクポイントはデータバス DBx と DBy の二つの入力を持っているため、通常のラッチ回路の入力の所に2入力のマルチプレクサが付加されている。このマルチプレクサの選択信号が SEL 2 である。バンクポイントのラッチ信号は LB であり、LB がローレベルの時に DBx もしくは DBy 上のデータをマルチプレクサ経由で入力し、ハイレベルになった時にそのデータを保持することになる。BPO0 から BPO1 はバンクポイントの出力信号であり、第1図(A)中の BPOx を意味している。レジスタバンク数が8バンクの場合は3ビットでレジスタポイントが構成され、16バンクの場合は4ビットで構成される。

第17図は第1図(A)中のデコード DEC の詳細回路例である。バンクポイント BP の出力信号である BPO0 から BPO1 を入力しバンク選択信号 (BB0 から BBm) を生成するデコード回路である。バンク選択信号はレジスタバンク 51 の行選択信号 BS

たがって、読み出しを行いたいレジスタに対応したレジスタ番号をレジスタポイントに設定して、読み出し信号を印加することによりセレクト回路 S I から所望のデータバス DBx、DBy に即座にデータが出力されることになる。

このように本願のレジスタは、アクセスタイムを必要とされるのは、レジスタバンクの切り替え時点においてのみであり、この動作においてはアクセスタイムは問題にならない長さである。

第20図にレジスタ R0 と R1 の内容を DBx と DBy に同時に読み出すときのタイミング例を示す。

この回路構成を採用することで高速な動作を必要とし、なおかつ、書き込み後の再読み出しを必要とするレジスタを容易な構成で実現することが可能となっている。

第15図はレジスタポイントの出力からレジスタ選択信号を生成するデコード RP1DEC、RP2DEC、RP3DEC および RP4DEC の詳細回路例である。レジスタポイントが3ビットであるならば8個の NAND-NOT 回路で構成され、4ビットであるならば16

に接続され、バンクポイントによってレジスタバンク 51 の1行のセルが選択されるようになっている。

DIB 信号線はバンクポイントの切り替わり時点でバンク選択信号が不安定な状態になるため、その期間中はいずれの選択信号も非アクティブにしておくための、バンク選択禁止信号である。

第18図にレジスタバンク切り替えタイミング例を示す。この例では、DBx データバス上の "01" (16進数) というデータを取り込むことによって、レジスタバンク 1 を選択し、そのレジスタバンク 1 のすべてのレジスタのすべてのデータビットを読み出すまでのタイミングを示している。

バンクポイントへのデータラッチ信号 (LB) がアクティブになったときには、その期間中バンク選択信号を禁止する為 DIB 信号がアクティブとなる。また、この期間を利用してレジスタバンク 51 内のビットバスをプリチャージするため $\overline{\text{PRC}}$ 信号パルスが生成される。これは、新規に選択されるレジスタバンク 51 上のセルのデータが

破壊されないために必要となる。ラッチ信号(LB)が非アクティブになると、バンク選択禁止信号(DIS)も非アクティブとなり、レジスタバンク1の選択信号(BS1)だけがハイレベルとなる。この選択信号によりレジスタバンク81に対応したセル一行が選択され、各々のセルに接続されたビットバスをセルのデータで駆動し始め、その後センス回路(SA)を動かせるためにSNS、SNS信号パルスを印加する。センス回路(SA)が動くと、レジスタバンク81内のビットバス上のデータはそれぞれの状態に確定される。

このようにして、レジスタバンクの切り替えとその切り替えられたレジスタバンク内のすべてのレジスタのすべてのビットのデータが読み出され、読みだしデータ信号線(BB)を経由してリードセレクトRSEL回路の入力に供給されることになる。レジスタバンク81内のプリチャージ回路(PR)とセンス回路(SA)はレジスタバンク切り替え時に動き、レジスタの読みだし動作や書き込み動作においては動かないようになっている。

レジスタ選択手段を切り換えるだけであるので、バンク番号が切り換わるまでメモリの選択をしない必要がなくなる。又、マルチプレクサを複数用意することによって、複数のレジスタ番号を指定する事も可能で、これにより一度で複数のレジスタのアクセスが可能となる。このことにより、レジスタのアクセス毎のアクセスタイムは不要となり、バンクが切り替った時のみアクセスタイムが存在することになるので高速なアクセスが可能となる。

また、従来の第4図～第6図の方式では、レジスタラッチによってレジスタを形成するため、回路規模が大きくなったり、アコードの出力本数も多くなるため、集積回路で実現する際は面積が非常に大きくなる欠点を有していた。又、レジスタ数やバンク数の増減に対しても、回路規模の大きなアコードの設計変更を必要とし、柔軟性はなかった。

これに対し本発明は、マイクロプロセッサ内のレジスタとして好適でアコード、マルチプレクサ

以上の本発明の適用例の説明においても明らかのように本発明によって、既成のRAMを用いたときに必要とされるアドレス動作を必要としないでデータをアクセスできるため、レジスタラッチと同様に高速なアクセスが可能であり、大容量であるにもかかわらず回路規模の小さいレジスタバンク回路を容易にかつ安価に作成できることとなる。
[発明の効果]

従来の第3図の方式では、レジスタとしてRAMを使用し、バンク番号及びレジスタ番号から1つのアドレスを生成して、レジスタをアクセスするようしていたため、同じバンク内のレジスタでも毎回レジスタをアクセス毎に、前記アドレスを与え直さざるを得なかった。また原理的に、一回に1つのレジスタしかアクセスする事ができなかった。

これに対し本発明はバンク番号のアコード信号により、1バンク分の全てのレジスタを選択できるため、バンク内のレジスタをアクセスする時には、レジスタ番号によってマルチプレクサ等のレ

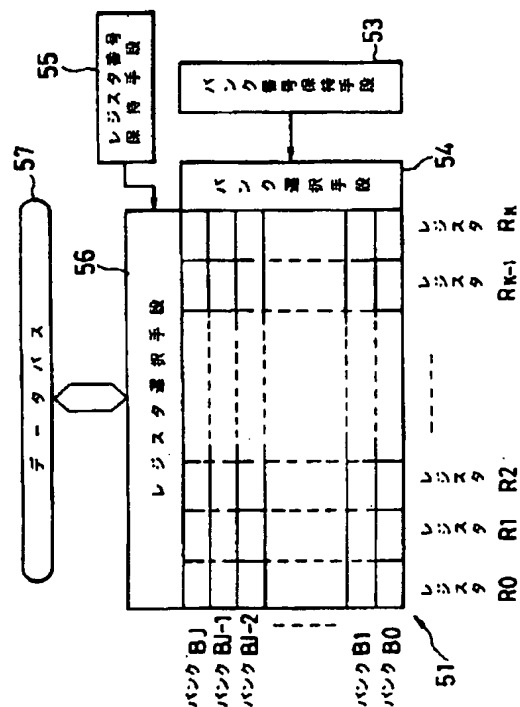
等も小さなもので済む。又、レジスタ数の増減も、主として、回路の小規模なアコードとメモリの増減のみで済むため柔軟性に富む。

以上のように本発明は、回路規模、高速性、レジスタ数の柔軟性に富むレジスタバンク回路を容易にしかも安価に実現できることになる。特にマイクロプロセッサ、集積回路に組み込むと、チップ面積の専有率やシステム能力等において、その実力を充分に発揮し、コストパフォーマンスの良し優れたものが実現できる。

4. 図面の簡単な説明

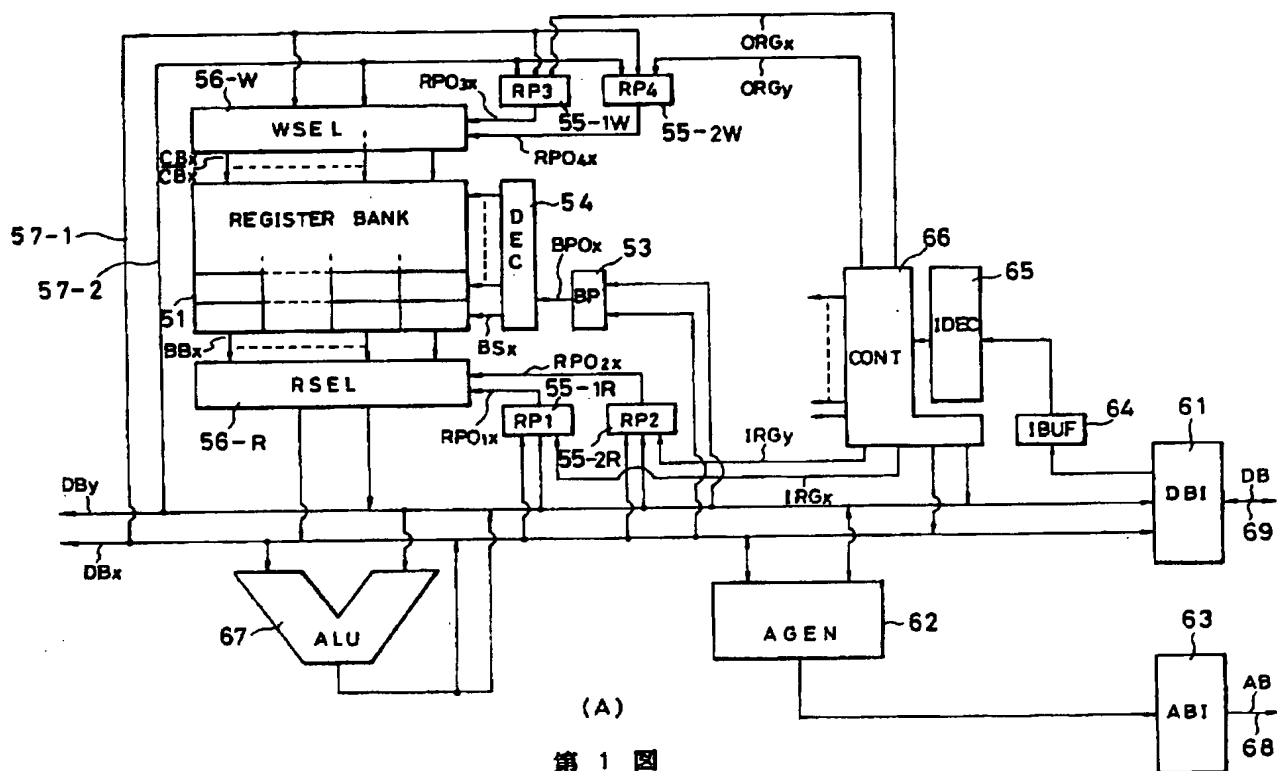
第1図は本発明の実施例の構成図、第2図は構成の一部詳細図、第3図ないし第6図は本発明が適用されないレジスタバンク回路図、第7図はレジスタの構造を示す概念図、第8図はレジスタバンク配置例を示す概念図、第9図はレジスタ配置列を示した概念図、第10図はビット配置列を示す概念図、第11図ないし第17図は上記実施例の各部詳細回路図、第18図ないし第21図は同各部の動作を示すタイミングチャートである。

51…レジスタアレイ (レジスタバンクプロクタ)、52…メモリバス、53…バンク番号保持手段、54…デコード、55…レジスタ番号保持手段、55-1W~55-2R…バンクポインタ、56…レジスタ選択手段、56-W…書き込み側セクタ、56-R…読み出し側セクタ、57-1, 57-2…データバス、61…データバスインターフェース、62…アドレス発生器、63…アドレスバスインターフェース、64…命令パッファ、65…命令デコード、66…制御信号発生ユニット、67…算術論理演算ユニット、68…アドレスバス、69…データバス。



(B)

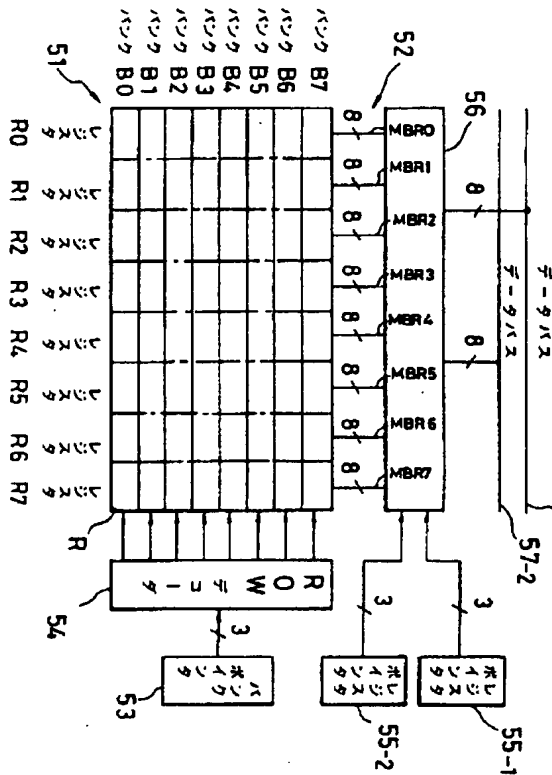
第 1 図



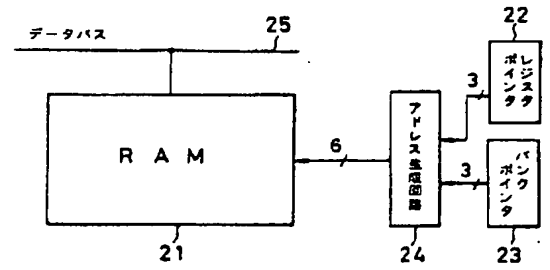
(A)

第 1 図

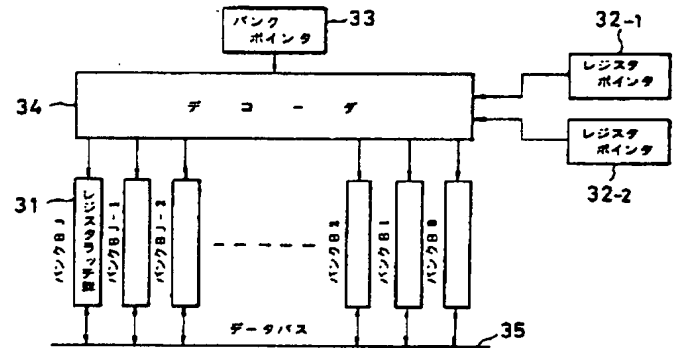
第 2 図



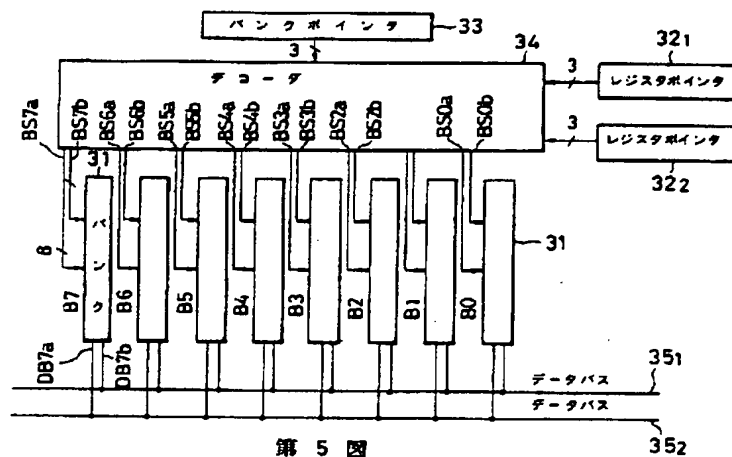
第 3 図



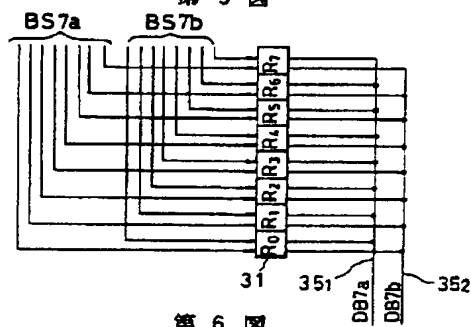
第 4 図

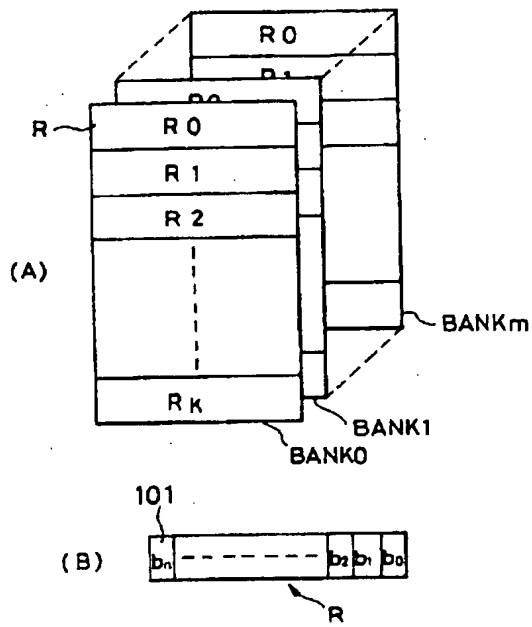


第 5 図

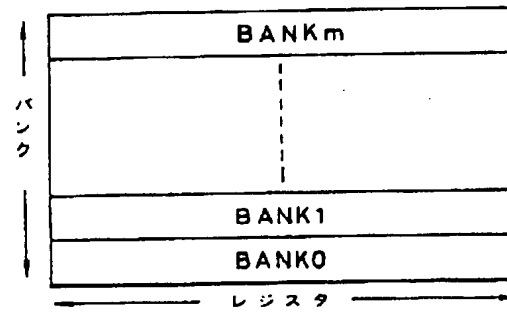


第 6 図

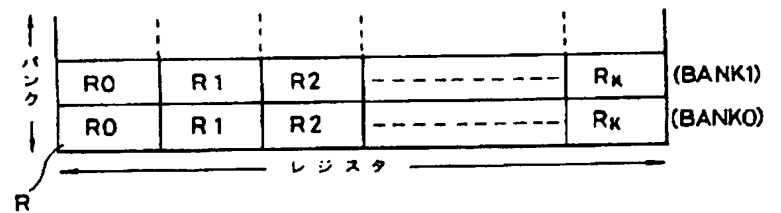




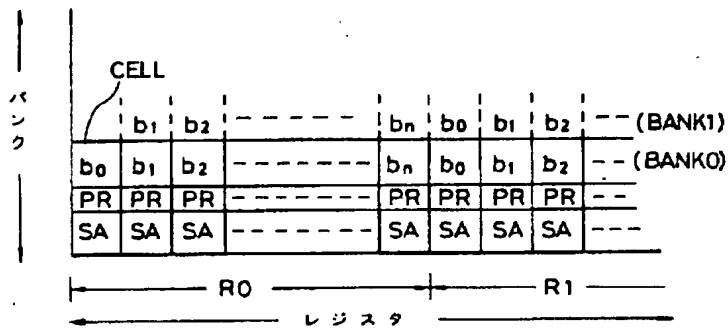
第 7 図



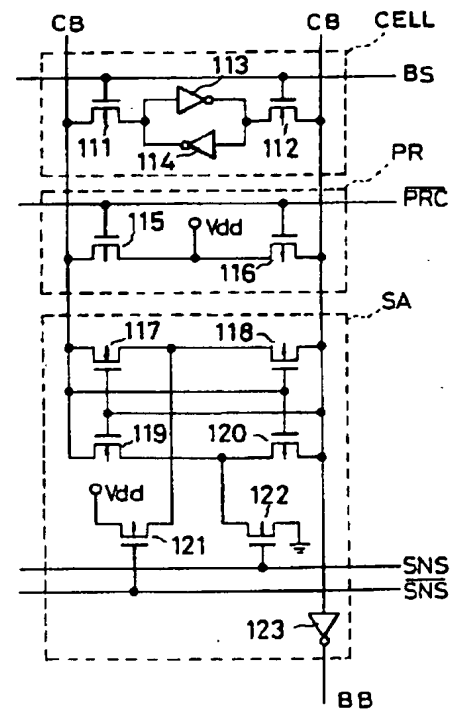
第 8 図



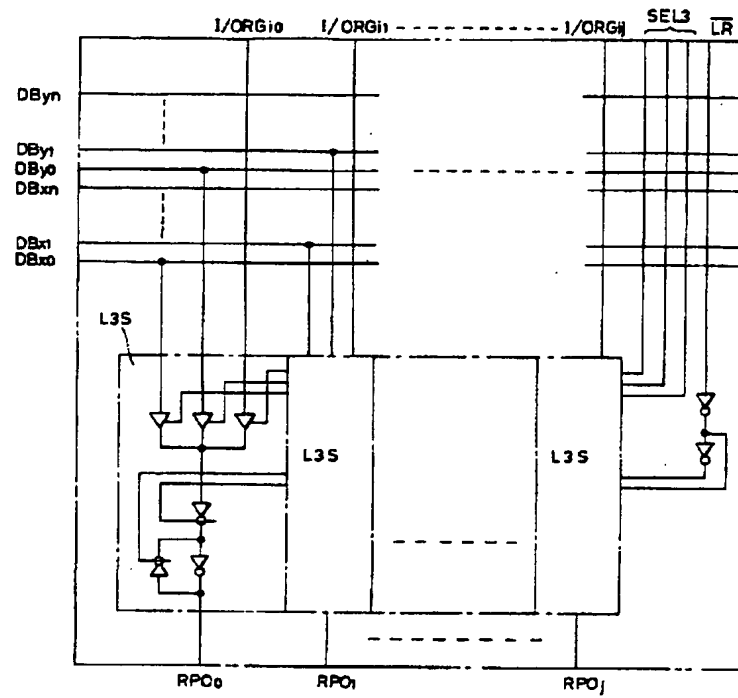
第 9 図



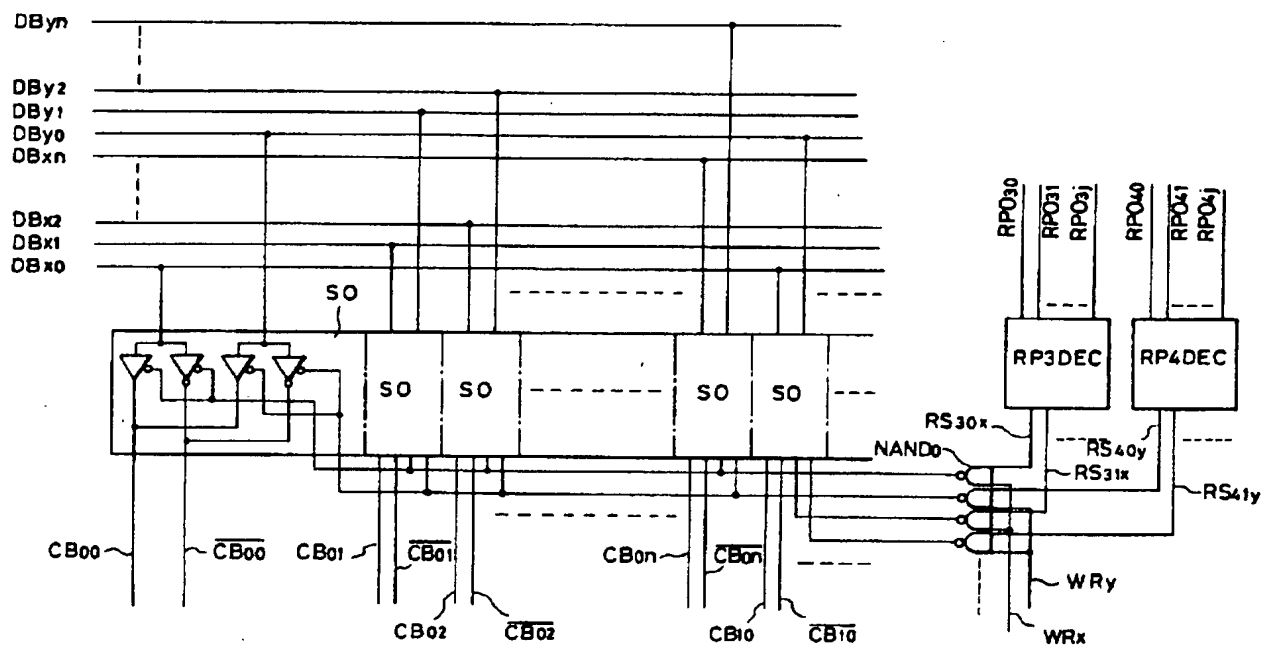
第 10 図



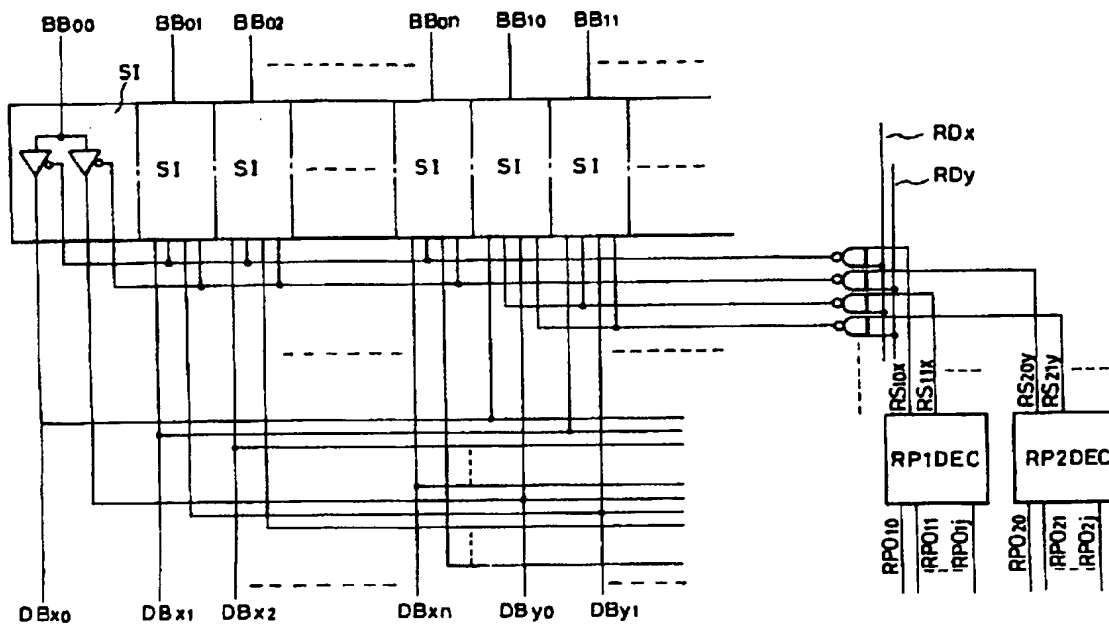
第 11 図



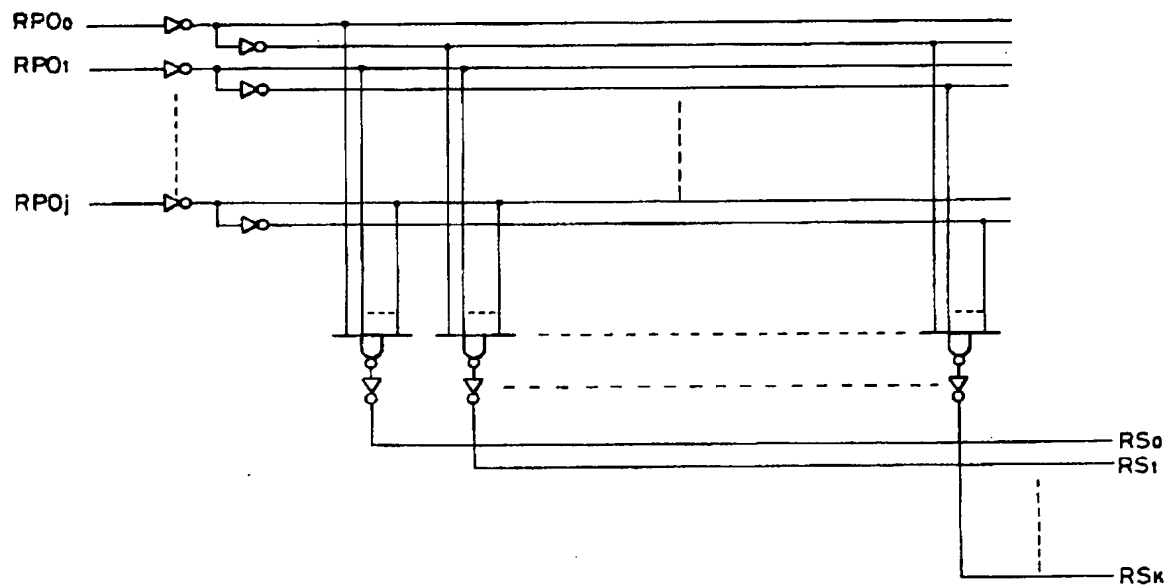
第 12 図



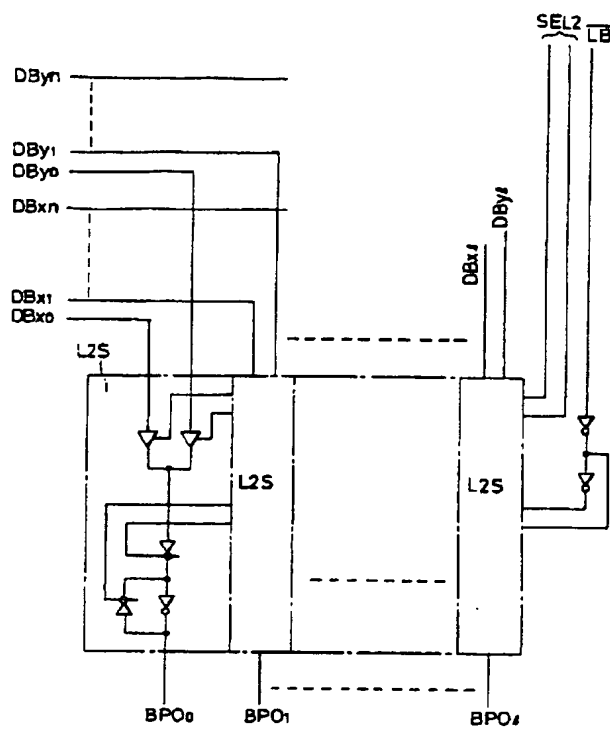
第 13 図



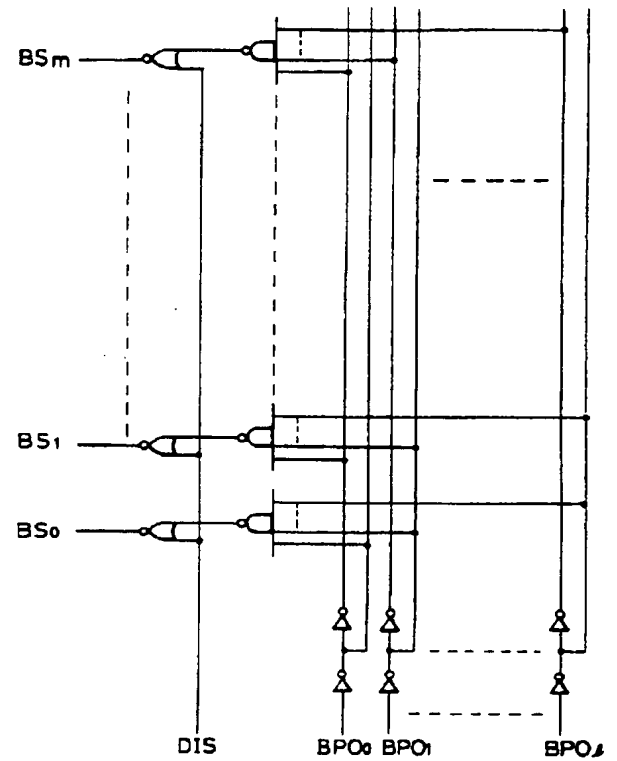
第 14 図



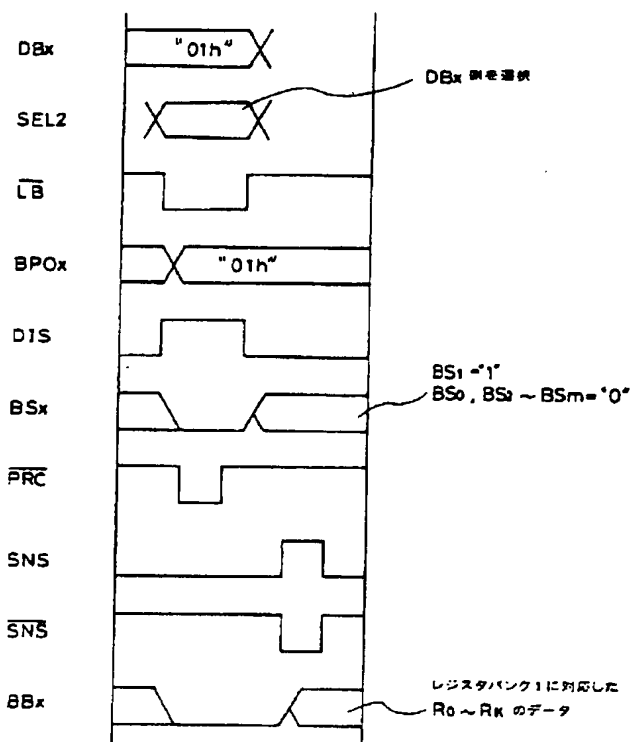
第 15 図



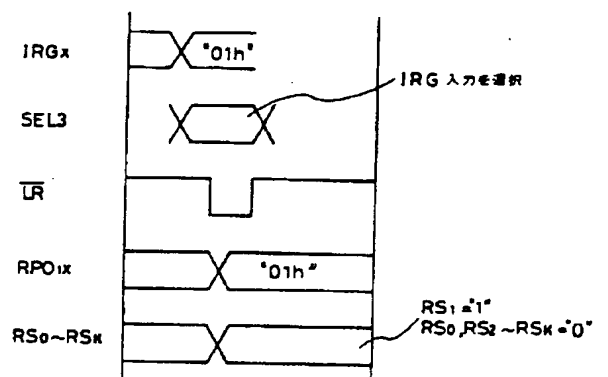
第 16 図



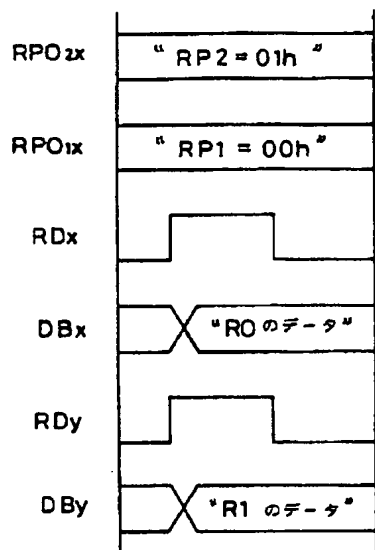
第 17 圖



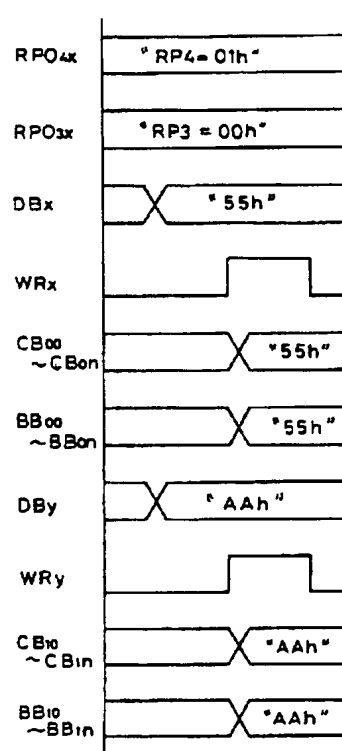
第 18 圖



第 19 圖



第 20 図



第 21 図

第 1 頁の続き

⑦発明者 篠原 誠

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑧発明者 吉田 和義

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内